

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-241146

(43)Date of publication of application : 26.09.1989

(51)Int.Cl.

H01L 21/82
H01L 27/04

(21)Application number : 63-067108

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 23.03.1988

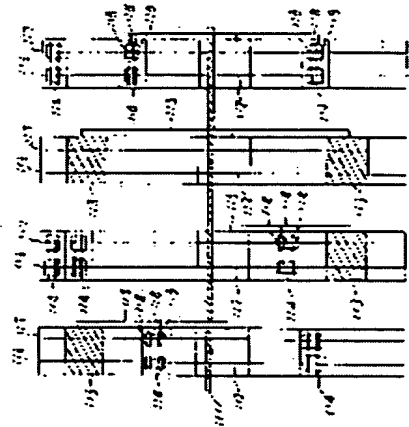
(72)Inventor : KURIBAYASHI MOTOTAKA

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To reduce a clock skew without lowering the utility of the whole chip by inserting a cell for load anew by employing a fundamental cell in a master slice not used by automatic arrangement or automatic wiring and approximately equalizing the capacity load of, each clock driver.

CONSTITUTION: A plurality of clock drivers 112, which are dispersed and disposed onto a semiconductor chip and over which system clock signals are transmitted, main cells 113, over which clock signals 115 are transmitted from these clock drivers 112, and clock wirings connecting fundamental gates 114 not used as functional cells 10b in fundamental gates to the clock drivers 112 are provided. The number of the clock wirings is determined so that the load of the clock drivers 112 is equalized. Accordingly, a transistor not employed is utilized for making the load of the clock drivers 112 equal, and a dummy cell for load need not be inserted anew; thus reducing clock skew without diminishing utility.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japanese Publication for Unexamined Patent Application

No. 241146/1989 (Tokukaihei 1-241146)

A. Relevance of the Above-identified Document

This document has relevance to all claims of the present application.

B. Translation of the Relevant Passages of the Document

See the attached English Abstract.

(1)

【特許請求の範囲】

- (1) 1つの半導体チップ内に、トランジスタにより構成される基本ゲートを予め複数マトリックス状に集積形成し、これら基本ゲートを適宜に配線して所望の論理機能を有する機能セルを構成し、これら機能セルを適宜に配線して所望の論理動作を実行する論理回路を構成するように、マスタースライスの半導体集積回路において、半導体チップ上に分散して配置され、システムクロック信号が供給される複数個のクロックドライバと、これらのクロックドライバからクロック信号が供給されるメインセルと、前記基本ゲートのうち機能セルを構成するために使用されなかった基本ゲートを前記クロックドライバに接続するクロック配線を具備し、前記クロック配線の数は、前記各クロックドライバの負荷が均一化するように決定されるものであることを特徴とする半導体集積回路装置。
- (2) クロックドライバに接続される基本ゲートのソース及びドレインの両電位が、電源またはグラウンドの電位に等しく保たれることを特徴とする請求項1記載の半導体集積回路装置。
- (3) 前記マスタースライス型の半導体集積回路は、チップ内に基本ゲート領域と配線のためのチャネル領域が区別されているもの、及びチップ内に基本ゲートが全面に敷設められているものを許すことを特徴とする請求項1記載の半導体集積回路装置。
- (4) システムクロック信号を分散して配置されたクロックドライバに供給し、該ドライバからメインセルにクロック信号を供給する半導体集積回路装置の製造方法において、各クロックドライバの担当する領域内のメインセルの数に応じて、前記未使用基本ゲートへのクロック配線の本数を決定することを特徴とする半導体集積回路装置の製造方法。
- (5) 前記未使用基本ゲートへのクロック配線を行う場合、全ての配線が終了した後に、空き領域を探して接続することを特徴とする請求項4記載の半導体集積回路装置の製造方法。

④ 日本国特許庁(JP) ① 特許出願公開

⑥ 公開特許公報(A) 平1-241146

Int.Cl.⁴ H 01 L 21/02 27/04 特許庁 未審査 請求項の枚数 5 (全8頁)

④ 発明の名称 半導体集積回路装置及びその製造方法

⑥ 特 願 昭63-67108

⑥ 出 願 昭63(1988)3月23日

⑥ 発 明 者 森 林 元 隆 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究

所内

⑥ 出 願 人 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑥ 代 理 人 井 理 士 則 近 恵 佑 外1名

(5) 【要約】

【目的】 自動配線又は自動配線によって使用されないマスタースライスの基本ゲートを使用して各クロックドライバの容量負荷をばらばらにすることにより、新たに負荷セルを挿入してチップ全体のユーティリティの低下を起すことなくクロックスキューの低減を可能にする。

【構成】 半導体チップ上に分散して配置され、システムクロック信号が供給される複数個のクロックドライバ112と、これらのクロックドライバ112からクロック信号115が供給されるメインセル113と、基本ゲートのうち機能セル110bとして使用されなかった基本ゲート114をクロックドライバ112に接続するクロック配線とを備える。そしてクロック配線の数は、クロックドライバ112の負荷が均一化するように決定する。これにより未使用トランジスタをクロックドライバ112の負荷を均しくするために利用し、新たに負荷用ダメージセルを挿入しなくとも、ユーティリティを減少させることなく、クロックスキューを低減することができる。

【半導体集積回路 マスタースライス 基本ゲート クロックドライバ チップ ユティリティ スキュー メインセル トランジスタ ダミ-】

⑨ 発明の名称
半導体集積回路装置及びその製造方法

④特 願 昭63-67108
⑤出 願 昭63(1988)3月23日
⑥免 明 香 栗 林 元 隆 神奈川県川崎市幸区小向更芝町1
所内
株式会社更芝総合研究所
⑦出 願 人 栗 芝 株式会社 神奈川県川崎市幸区堀川町72番地
外1名
⑧代 理 人 栗 元 隆 外1名

1. 発明の名称
 半導体集積回路装置及びその製造方法

2. 特許請求の範囲

(1) 1つの半導体チップ内に、トランジスタにより形成される基本セルを多数個マトリクス状に集積形成し、これら基本セルを適宜に配列して所定の集積回路を有する回路セルを構成し、これら回路セルを適宜に配列して所定の論理動作を実行する論理回路を構成するようになるアスタラス型の中導体集積回路において、半導体チップ上に分散して配置され、シスタムクロック信号が供給される駆動用のクロックドライバと、これらのクロックドライバからクロック信号が供給されるメインセルと、前記基本セルのうち前記セルを構成するために使用されなかった基本セルを特記クロックドライバに接続するクロック配線を具備し、前記クロック配線の数は、前記各クロックドライバの集積回路の出力一化するように形成されるものである

-243-

時間平1-211146(2)

行の場合、全ての配船が終了した後、空倉田配船を陸上して結線することを特徴とする請求項4記載の半導体集積回路組組の製造方法。

3. 3. 说明の要否

(附 录)

(重慶市上○江區中學校)

本發明は、アスファルト方式で設計される半導体集積回路に依わり、特にクロック布線方法の改良をはかった半導体集積回路装置及びその製造方法に関する。

() 製造。來源 ()

近年、東洋国産の大規模化が進むに伴い、ヨーロッパ系の設計に重要な注目を支払う必要が生じている。大規模建築関係において、一つのヨーロッパ国等に問断して受けるのやアフリカアフリカ等が制作する。従って、ヨーロッパ国等は、アイランド設計技術や全面に振り廻られ、多数のプロジェクトが生じる。

このような大規模回廊においては、1箇のシス
テムクロック発生部から直接各ゲートやフリップ

され、分けてなく、周所的に存在する場合があり、
即ちクロックドライバの負荷のバラッキによ
るクロックスキューが生じ、間違つたデータ伝
送がなされる等の誤動作が生じる。これを回避す
るには、自動配置プログラムにおいて、各クロ
ックドライバセルに接続されるプリファッパ
の数を等しくすると云う制約条件の下で配置処
理を行わなければならないが、これを行うには配
置プログラムが非常に複雑なものであるのみで
なく、この制約条件のために配置結果に影響を及
し、配線時における過剰長の低下を招く。

(焼明が解決しようとする課題)

このように、システムクロック信号を、分岐して配置された複数のクロックドライバセルを使用して分割して供給する方法は、自動的にアップストームの場合各クロックドライバセル毎の容量負荷を分岐が均等にならないと、結果的にクロックスキューが発生すると云う問題があった。

本発明は上記事情を考慮してなされたもので、その目的とするところは、自動配置結果及び配線

フロップス等にクロック信号線を供給する代りに、クロックドライバを分散化し、分散化した複数のクロックドライバに一旦クロック信号を供給し、各クロックドライバから個々のゲートやトリップフロップ等に供給される手段が提案とされている。この方式においては、主にクロックラインの抵抗成分を低減させることを目的として、システムクロック発生部とクロックドライバの配線を、大なり、クロックラインを端子状に配線する等の工夫がなされている。このようなクロック分配方式では、クロック信号は、各クロックドライバ部にて、個別に発生する場合、システム発生はほぼ無視できる状態にすることができ、しかしながら、各々のクロックドライバに接続されるフリップフロップ等の回路、即ち集積が必要とも均一でないために、各々のフリップフロップ等に供給されるクロック信号にはスキューが生ずる。

つまり、自動配置、記録プログラムでレイアウトする場合、フリップ、フリップ等が均一に分配

率を低下させることなく、良好なクローック信守の
開始ができ、クローカス・ムーの新しい半導体無接
触回路及びその他の製造方法を提供することにある。
〔発明の構成〕

(問題を解決するための手段)

本発明の骨子は、下記の通りである。

と顧客能が均一になるように、各ドライバに仮想的な負荷を課することにある。

なわち本發明は、シスチム

反戦のクロコロドライバに供給し、各々のクロコ
ロドライバからフリック、フロップ等のメインセ
ルにこのクロコロ電圧を供給するマルチスタイス配
線の半導体集積回路（防衛装置）において、半導体チップ上
に分装して配置され、システムクロコロ電圧が供
給される複数のクロコロドライバと、これらの

一化するようになつて来たのである。

また本報明は、上記配種は、種防衛の製造方法において、前記未使用本ヤードのクロロ配種を、自動配種が終了後に空を留めを留して出荷するようになつた方法である。

(作用)

本發明によれば、自動配量又は自動配量によつて使用されないプラスチックの廃棄カートを使用することにより、各コロポッドタイプの廃棄物をばき捨てることのできる。従つて、新たに自動用車を購入してチップ全社のユーザに自動用車を配分してチップ全社のユーザの地位を配分することなく、中期段階の団体に於けるコロポスターをなくすることが可能となる。

(五) 短策

以下、本税関の税額を圖示の徴税所によつて
賦課する。この徴税所は、チヤンレス監の管
轄する。

第 1 図には本発明の一例として、かかる

域、33はザート、34は新館を整理またはグランドの職位に安んずるために設けられたサアロントである。

除理因時せんは、マス・スライスの下地のみ
ランダムに敷設に適合する位置に配置される。

例へば、セキを無定数の列を取つて、同一セキの列上にセキを並べても可とする。このときセキの列は、第*n*個の列に於てはセキの列を無限回で取れることも、第*m*個の列に於てはセキの列を不可得である。

第1図及び第2図には、コロロ船客の分配ダイヤルとして、コロロドライブヤルを同一直線上に各ヤル列に1組ずつ配置し、コロロドライブヤルは、同ヤル列内のメインヤルにコロロ船客を移動する方式を示した。図面中、システムコロロ両舷とコロロドライブヤルを船客記号15は船客を文で示すこととなり、直前にあるコロラスターキーを意味である。従つて、各ヤル所に投入されたコロロドライブヤル配列には、コロロ船客のスターキーはほぼ無い。しか、コロ

-245-

スタンプ82では、各クロックドライブが恒久的に動作し、各クロックドライブが、負荷の最大となるクロックドライブに比べて不足する負荷状態を計算する。

次に、スタップ83でヤマが配管されず、トラ
ンジスタとして働かないゲートを図す。そして、
スタップ84では、スタップ83で検出されたヤ
マートでかつ、スタップ81でその上が配管に依り
ていないゲートを識別して、これを管理員と
して利用するために、既配管とリポートしない注
意を要する。

最後に、東証として採用するトランジスタのベース側及びドレイン側の位置を、図6（あるいはアランド）の位置に据つて処理を行う。このように、位置変更のための処理を詳細に示したのでお断りである。図6において、82はクロックドライバ81間を接続する配線、84はクロックドライバの出力端子から各インヤルに接続されるクロック信号線、85または86はヤル間の各ヤルに接続される信号線、87はランドライン、89は、

クロック信号の配線状態の一例を示した図である。同図において、10はクロックドライバ102の出力端子両方を始末配線、104は電源ヤルが配線されず使用されなかつた基本ゲート、105はクロックドライバの出力端子とメインヤル103を接続する配線である。なお、この図では、クロック分配の方式として、各ヤル列に同一速度向上に並べてクロックドライバヤルを挿入し、各クロックドライバから同一ヤル列に配線されたメインヤルにクロック信号を供給する方式を一例として示す。

論理々々の自動配置は、各論理々々の間の結合度や配置現在度の均一化や配置長短の最適化等を目的として行われる。

従つて、クロッパ配線のみは目すると、各
ロッドワイヤセル102に接続するメインセル
103は、例えば左のセル間から1個、1個、2
個、0個等となり、各クロッドワイヤセルの異
なる不均一を並じ、クロッサムマーの調整が容
易する。

-246-

第11圖は、上記問題を解決する本発明の装置を示したものである。本装置の構成要素として、この場合、作動レバー115を設けることによつて、各ロッドリブ112の位置を約二倍にしていゝ。なお、図面では、レバースタイルと基本スタイルの2種のレバーを用ひて一組とした場合のみを示している。

なお、この場合の無罪確率は、決定した結果で
図7-10-1に示す通りである。第1図においては、117は
117は無罪確率は117で、無罪として使用
された117は117の無罪確率は117、117は
117の無罪確率は117、117は117の無罪確率は117
である。

以上のような配製方法を行えば、未使用地本ゲートを用いたクロックドライバの集積の均一化をはかることができ、先の実施例と同様の効果が見られる。

なお、本発明は上述した各実施例に限定されるものではない。例えば、クロコドライドの配位方式がクロコドライドとインセルととの遊離方

-246-

法は、第8図や第10図に何等設置されるものでない。その他、本発明の装置を施設しない純粋で、用み成形して実施することができ。

(発明の効果)

以上述べたように本発明によれば、未使用トランジスタをクロックドライバの集積を著しくすため利用し、新たに集積用ダイオードを挿入しなく、エミタリティを減少させることなく、クロックダイオードを低減することができる。

4. 図面の簡単な説明

第1図乃至第11図は本発明の一実施例を説明するための図で、第1図はチャタリス方式のチャタリスにおけるクロック配線状態を示す図、第2図は上記チャタリス方式のチャタリスの構造を示す図、第3図は上記チャタリスの構造を示す図、第4図乃至第6図は上記チャタリスに對してセル列を構成してレイアウトを行う場合のチャタリスの構成の一例を示す図、第8図は従来の方式におけるクロック供給法を示す図、第7図は本発明を説明する一

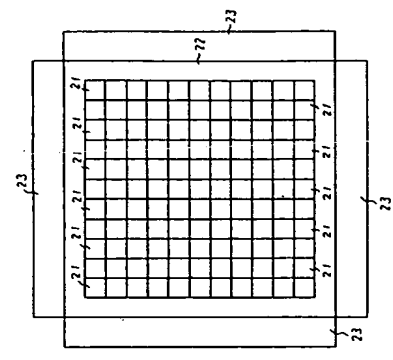
中環を有したフローチャート、第8図は、未使用トランジスタのクロック配線の様子とトランジスタのソース、ドレインの電位を等しくするために電位またはグラウンドへ接続した配線を示す図、第9図はチャタリスのチップの構造を示す図、第10図は従来の方式におけるクロック供給法を示す図、第11図は本発明によるクロック配線状態を示す図である。

- 11、41、51、61…セル列、12、22、42、52、62…配線領域(チャタリス)、
- 13、23、43、53、63、93…周型入出力回路(またはトランジスタ)、
- 14、64…シフトクロック発生器、
- 15、65、82、101、111…クロック信号ライン、
- 16、66、103、113…ラインセル、
- 17、67、84、105、115…クロック信号線、
- 18、89…ゲートと接続するクロック信号線、
- 19、81、103、113…クロックドライバセル、
- 21…基本セル、
- 31、32…接続領域、
- 33…メモリコンタクト、
- 34…サブコンタクト、
- 83…クロックドライバ出力端子、
- 85、86、110、117…電線またはグランド、
- 87…電線とトランジスタのソースまたはドレインと接続する配線、
- 88、118…コンタクト、
- 810…クロックドライバ出力端子、
- 104、114…接続セルとして使用されなかった基本セル、
- 106…接続セル。

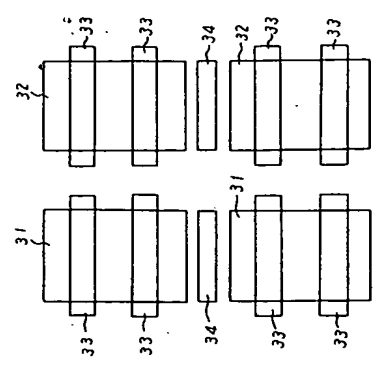
バセル、 21…基本セル、

- 31、32…接続領域、
- 33…メモリコンタクト、
- 34…サブコンタクト、
- 83…クロックドライバ出力端子、
- 85、86、110、117…電線またはグランド、
- 87…電線とトランジスタのソースまたはドレインと接続する配線、
- 88、118…コンタクト、
- 810…クロックドライバ出力端子、
- 104、114…接続セルとして使用されなかった基本セル、
- 106…接続セル。

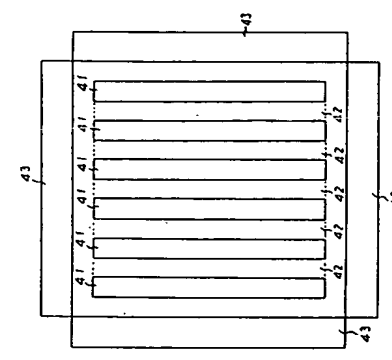
代理人 弁理士 岡 近 幸・ 街 岡 公 山 九 之



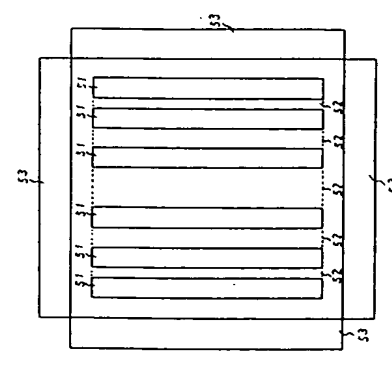
第 2 図



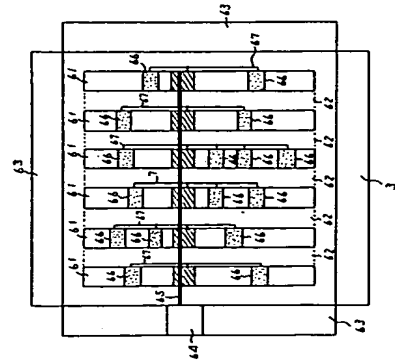
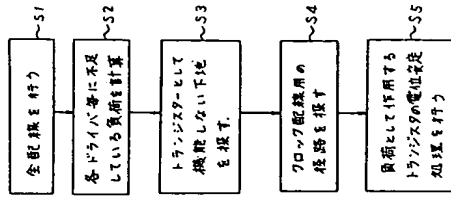
第 3 図



第 4 図

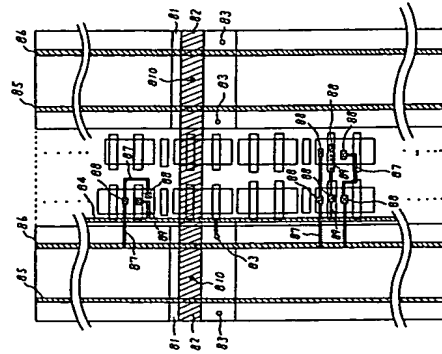


第 5 図

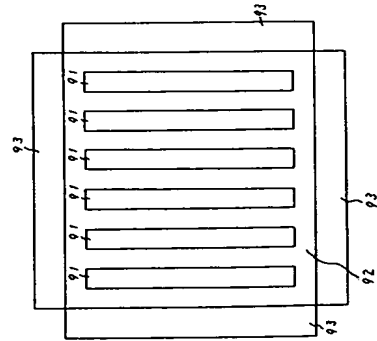


第 6 図

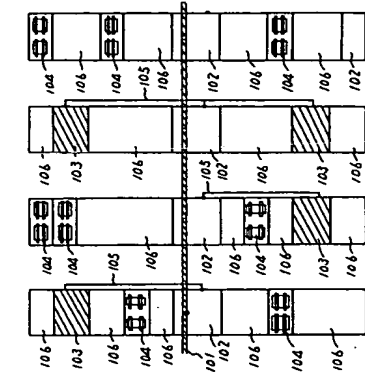
第 7 図



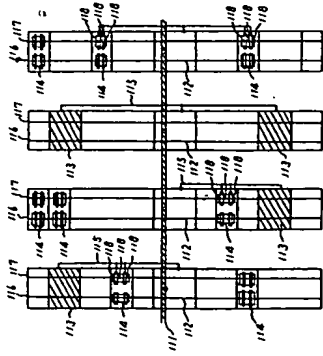
第 8 図



第 9 図



第 10 図



第 11 図